



Home



List

Include

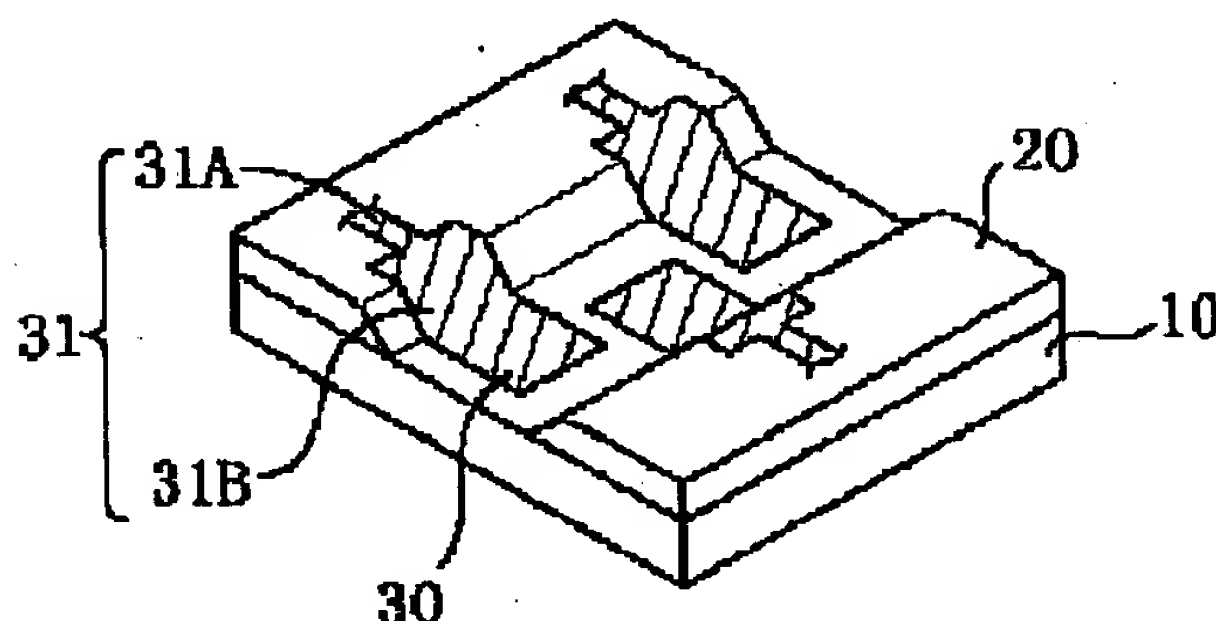
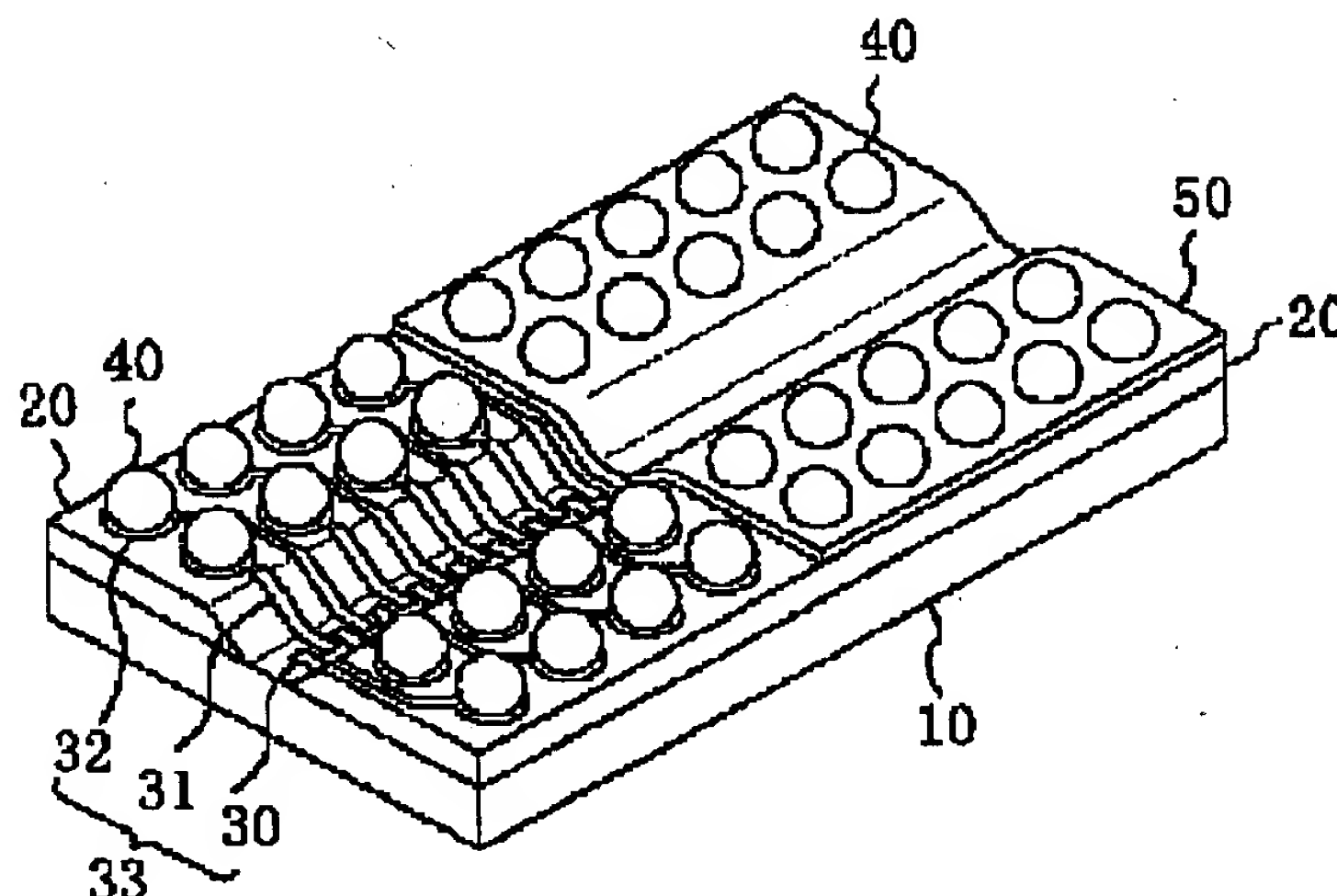
17

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1990-2002

Text: Patent/Publication No.: JP11191571

[Order This Patent](#)[Family Lookup](#)[Find Similar](#)[Legal Status](#)[Go to first matching text](#)

JP11191571 A

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

MATSUSHITA ELECTRON CORP

Inventor(s): NAKAMURA YOSHIFUMI ; SAWARA RYUICHI ; SHIMOISHIZAKA
NOZOMI ; KUMAGAWA TAKAHIRO

Application No. 09358813 JP09358813 JP, Filed 19971226, A1 Published 19990713

Abstract: PROBLEM TO BE SOLVED: To prevent the breaking of wire of metal wiring for thermal stress.

SOLUTION: On the main surface of a semiconductor chip 10, a low-elastic modulus layer 20, wherein the electrodes of the semiconductor chip 10 are arranged and the central part is opened, is provided. Then, a land 32, which becomes an external electrode terminal, is provided on the low-elastic modulus layer 20. A metal wiring 31, which connects the lands 32 and the pad 30, is provided. On the land 32, a metal ball 40 is provided. Solder resist 50, wherein a part of the land is opened, is provided. A metal wiring 31 has a narrow width part 31A on the low-elastic modulus layer 20 and a broad-width part 31B, which reaches the pad 30 on the electrode of the

• semiconductor chip 10 from the vicinity of the end part of the low elastic-modulus layer 20. With the wide width part 31B, the strength against the stress such as the thermal stresses accompanied by the heating and cooling of the semiconductor device is reinforced, and the disconnection of the metal wiring is prevented.

Int'l Class: H01L02160; H01L0213205 H01L02312

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.



Home



List

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-191571

(43)公開日 平成11年(1999)7月13日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/60
21/3205
// H 0 1 L 23/12

3 1 1

H 0 1 L 21/60
21/88
23/12

3 1 1 S
T
L

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21)出願番号

特願平9-358813

(22)出願日

平成9年(1997)12月26日

(71)出願人

000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者

中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者

佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者

下石坂 望

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人

弁理士 前田 弘 (外2名)

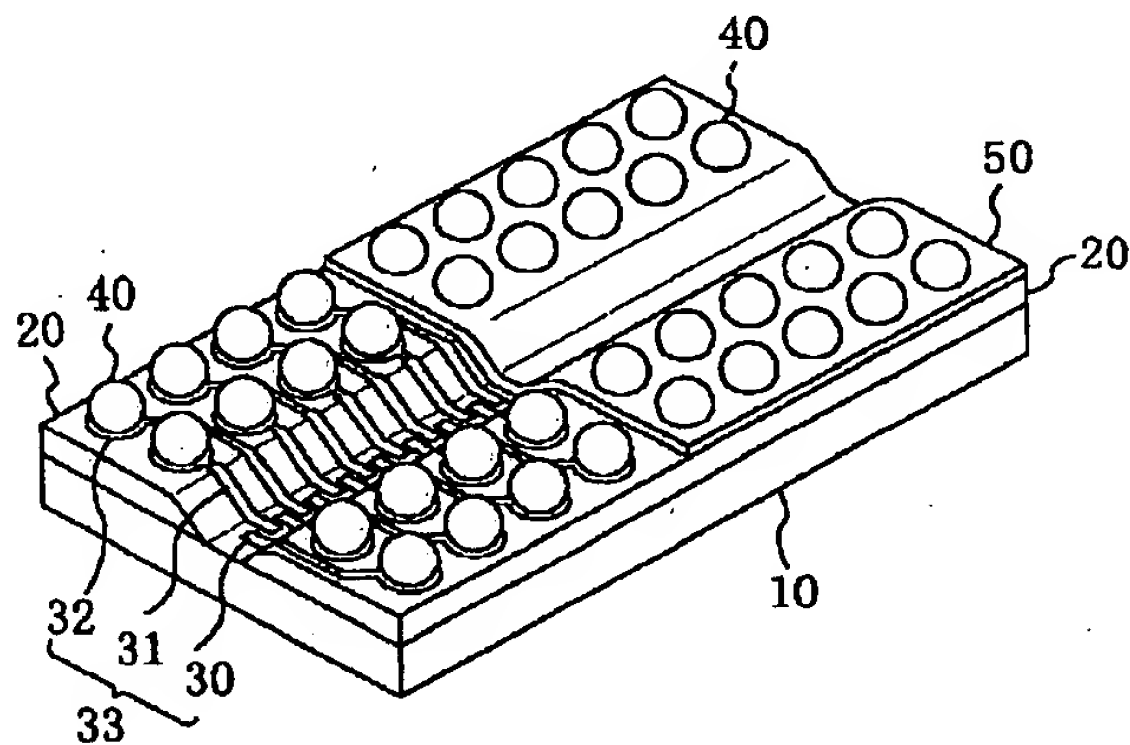
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 熱応力等に対する金属配線の断線を防止する機能の高い高信頼性の半導体装置及びその製造方法を提供する。

【解決手段】 半導体チップ10の主面上には、半導体チップ10の電極が配置された中央部を開口させた低弾性率層20が設けられている。そして、低弾性率層20の上に外部電極端子となるランド32が設けられ、ランド32とパッド30との間を接続する金属配線31が設けられている。ランド32の上には金属ボール40が設けられており、ランドの一部を開口させたソルダーレジスト50が形成されている。金属配線31は、低弾性率層20の上の狭幅部31Aと、低弾性率層20の端部付近から半導体チップ10の電極上のパッド30に至る広幅部31Bとを有している。この広幅部31Bで半導体装置の加熱・冷却に伴って発生する熱応力などの応力に抗する強度を補強し、金属配線の断線を防止する。



【特許請求の範囲】

【請求項 1】 表面上に電極が配置された半導体チップと、
上記半導体チップの上に形成され、上記電極が配置されている領域に開口部を有する低弾性率の絶縁性材料からなる低弾性率層と、
上記半導体チップ上の電極から上記低弾性率層の上に延び、上記低弾性率層の端部付近では上記低弾性率層の内方領域におけるよりも広幅に形成された金属配線と、
上記金属配線に接続される外部電極端子とを備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
上記低弾性率層は、上記開口部の端部において低弾性率層の上面から半導体チップの表面に至るくさび状の傾斜部を有していることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、
上記金属配線の広幅部は、上記低弾性率層上の端部付近から連続的に広くなるように形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、
上記金属配線は、上記低弾性率層の端部から上記電極に亘る領域でも広幅に形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置において、
上記半導体チップの電極は、半導体チップの外周部に設けられており、
上記低弾性率層は、上記半導体チップの外周部の上方に開口部を有していることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、
上記低弾性率層及び金属配線の上で上記外部電極端子の少なくとも一部を露出させるように形成され、はんだをはじく特性を有するソルダーレジストをさらに備えていることを特徴とする半導体装置。

【請求項 7】 請求項 1～6 のうちいずれか 1 つに記載の半導体装置において、
上記低弾性率層の上に載置され、柔軟性のある絶縁性シートの上に所定パターンの配線を設けてなる配線回路シートと、
上記配線回路シート上の配線と上記半導体チップ上の電極とを接続するための部分リードとをさらに備え、
上記金属配線は上記配線回路上の配線と上記部分リードとにより構成されていて、
上記金属配線の広幅部は上記部分リードに形成されていることを特徴とする半導体装置。

【請求項 8】 電極を有する半導体チップの上に、低弾性率の絶縁材料膜を形成する第 1 の工程と、

上記絶縁材料膜をパターニングして、上記電極の上方に開口部を有する低弾性率層を形成する第 2 の工程と、
上記半導体チップ表面の露出している領域及び上記低弾性率層の上に第 1 の金属膜を堆積する第 3 の工程と、
上記第 1 の金属膜の上に、第 1 の金属膜を残存させようとする部分を開口したエッチング用マスクを形成する第 4 の工程と、
上記エッチング膜の開口部に第 2 の金属膜を堆積する第 5 の工程と、
上記エッチング用マスクを除去する第 6 の工程と、
上記第 1 の金属膜のうち上記第 2 の金属膜で覆われていない部分を除去して金属配線を形成する第 7 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、
上記金属配線は、上記低弾性率層の端部では低弾性率層の内方領域におけるよりも広い幅を有するように形成されていることを特徴とする半導体装置。

【請求項 10】 請求項 7～9 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記第 4 の工程では、フォトリソ膜を上記第 1 の金属膜の上に形成し、上記低弾性率層の表面にピントを合わせて露光することにより、上記フォトリソ膜からなるエッチング用マスクを形成することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 7～10 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記金属配線を形成した後に、上記低弾性率層の上に感光性ソルダーレジストを形成し、上記金属配線のうち外部の接続端子に接続される部分を露出させながら、上記金属配線を保護するソルダーレジストを形成する工程と、
上記金属配線のうち上記ソルダーレジストから露出している部分の上に突起状電極を溶融接合する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トランジスタ等の半導体素子を内蔵する半導体装置及びその製造方法に係り、特に配線部分の信頼性の向上対策に関する。

【0002】

【従来の技術】 近年、半導体装置およびその製造方法は、電子機器の小型化、高機能化に伴い、小型化、高密度化、高速化を要求されるようになり、たとえばメモリー用パッケージとしては LOC (リード・オン・チップ) あるいは SON (スモール・アウトライン・ノンリード) 等の開発、あるいは TAB テープを利用した μ BGA (マイクロ・ボール・グリッド・アレイ) (特表平 06-504408 号) といったパッケージが開発されている。

【0003】以下、従来の μ BGAと呼ばれる半導体装置およびその製造方法について図面を参照しながら説明する。

【0004】図7は、従来の μ BGAと呼ばれる半導体装置を示す断面図である。図7において、101は半導体素子を内蔵する半導体チップ、102は半導体チップ101上に形成された配線回路シート、103は半導体チップ101と配線回路シート102との間に介在するしなやかな低弾性率材料、104は配線層の一部となる部分リード、105は半導体チップ101内の半導体素子に電氣的に接続されるチップ接点、106は配線回路シート102の表面上に形成され外部装置との電氣的接続を行なうための電極である。

【0005】同図に示すように、従来の μ BGAと呼ばれる半導体装置は、半導体チップ101上に低弾性率材料103を介して配線回路シート102が形成された構造を有しており、半導体チップ101上のチップ接点105と配線回路シート102上の表面の電極106とが、部分リード104により電氣的に接続されたものである。

【0006】すなわち、このような半導体装置の構造を採用することにより、配線回路シート102の上に二次元的に形成される多数の電極106を介して外部機器との電氣的接続が可能となるので、情報通信機器、事務用電子機器等の小型化を図ろうとするものである。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置において、半導体装置に加熱・冷却を繰り返す熱サイクル試験を施すと、部分リード104が断線を生じることがあった。つまり、半導体装置の表面に形成される配線の信頼性が必ずしも保証されないという問題があった。

【0008】そこで、本発明者達がその原因を追究した結果、半導体チップ101上のチップ接点105と配線回路シート102上の表面の電極106との間における下地全体と、配線層を構成する金属膜との熱膨張率（熱収縮率）が異なるために生じる熱応力、特に引っ張り応力を配線層の弾性によっては十分吸収できないことに起因するものと推察された。

【0009】本発明は、斯かる点に鑑みてなされたものであり、その目的は、特に上述のような半導体装置の加熱・冷却により配線層に加わる熱応力等の応力によって、低弾性率層の傾斜部付近で断線が生じやすい点に着目し、この応力に対する配線層の抗力を高めるための手段を講ずることにより、信頼性の高い配線層を有する半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明が講じた手段は、金属配線を特に熱応力などの応力が加わりやすい低弾性率層の端部付近で広幅にし

て、この部分における金属配線の強度を補強することにある。

【0011】本発明の半導体装置は、請求項1に記載されているように、表面上に電極が配置された半導体チップと、上記半導体チップの上に形成され、上記電極が配置されている領域に開口部を有する低弾性率の絶縁性材料からなる低弾性率層と、上記半導体チップ上の電極から上記低弾性率層の上に延び、上記低弾性率層の端部付近では上記低弾性率層の内方領域におけるよりも広幅に形成された金属配線と、上記金属配線に接続される外部電極端子とを備えている。

【0012】これにより、特に低弾性率層と金属配線との熱膨張率差による熱応力などの応力が加わりやすい低弾性率層の端部付近において金属配線が広幅に形成されていることで、金属配線に加わる応力に抗する強度が高くなり、金属配線の断線を防止できる信頼性の高い半導体装置が得られることになる。

【0013】請求項2に記載されているように、請求項1の半導体装置において、上記低弾性率層に、上記開口部の端部において低弾性率層の上面から半導体チップの表面に至るくさび状の傾斜部を設けることが好ましい。

【0014】これにより、金属配線を低弾性率層の傾斜部に沿わせて設けることが可能になり、断線に対する信頼性がさらに向上する。

【0015】請求項3に記載されているように、請求項1又は2の半導体装置において、上記金属配線の広幅部を、上記低弾性率層上の端部付近から連続的に広くなるように形成しておくことが好ましい。

【0016】これにより、金属配線に鋭角的なコーナ部が存在しないことで、応力が集中する部分がなくなり、金属配線の信頼性がさらに向上することになる。

【0017】請求項4に記載されているように、請求項1～3のうちいずれか1つの半導体装置において、上記金属配線は、上記低弾性率層の端部から上記電極に亘る領域でも広幅に形成しておくことがより好ましい。

【0018】請求項5に記載されているように、請求項1～4のうちいずれか1つの半導体装置において、上記半導体チップの電極を半導体チップの外周部に設け、上記低弾性率層を上記半導体チップの外周部の上方に開口部を有するものとするのが好ましい。

【0019】請求項6に記載されているように、請求項1～5のうちいずれか1つの半導体装置において、上記低弾性率層及び金属配線の上で上記外部電極端子の少なくとも一部を露出させるように形成され、はんだをはじく特性を有するソルダーレジストをさらに備えることができる。

【0020】これにより、ソルダーレジストで金属配線が保護されているので、外部電極端子と外部の接続端子との間ではんだづけによる電氣的接続を行う際などの金属配線の断線や短絡が確実に防止でき、半導体装置の信

頼性が向上する。

【0021】請求項7に記載されているように、請求項1～6のうちいずれか1つの半導体装置において、上記低弾性率層の上に載置され、柔軟性のある絶縁性シートの上に所定パターンの配線を設けてなる配線回路シートと、上記配線回路シート上の配線と上記半導体チップ上の電極とを接続するための部分リードとをさらに備え、上記金属配線を上記配線回路上の配線と上記部分リードとにより構成し、上記金属配線の広幅部を上記部分リードに形成しておくことができる。

【0022】これにより、TABテープ等を利用して得られる配線回路シートを用いた量産性に優れ、かつ信頼性の高い半導体装置を得ることができる。

【0023】本発明の半導体装置の製造方法は、請求項8に記載されているように、電極を有する半導体チップの上に、低弾性率の絶縁材料膜を形成する第1の工程と、上記絶縁材料膜をパターニングして、上記電極の上方に開口部を有する低弾性率層を形成する第2の工程と、上記半導体チップ表面の露出している領域及び上記低弾性率層の上に第1の金属膜を堆積する第3の工程と、上記第1の金属膜の上に、第1の金属膜を残存させようとする部分を開口したエッチング用マスクを形成する第4の工程と、上記エッチング膜の開口部に第2の金属膜を堆積する第5の工程と、上記エッチング用マスクを除去する第6の工程と、上記第1の金属膜のうち上記第2の金属膜で覆われていない部分を除去して金属配線を形成する第7の工程とを備えている。

【0024】この方法により、第1の金属膜及び第2の金属膜からなる厚い金属配線が形成されるので、熱応力等の応力の印加に起因する断線を防止する機能の高い金属配線を有する半導体装置が得られることになる。

【0025】請求項9に記載されているように、請求項8の半導体装置の製造方法において、上記金属配線を、上記低弾性率層の端部では低弾性率層の内方領域におけるよりも広い幅を有するように形成することが好ましい。

【0026】この方法により、特に熱応力等の応力が大きく印加される低弾性率層の端部付近における強度の大きい金属配線が形成されるので、より信頼性の高い半導体装置を得ることができる。

【0027】請求項10に記載されているように、請求項7～9のうちいずれか1つの半導体装置の製造方法において、上記第4の工程では、フォトレジスト膜を上記第1の金属膜の上に形成し、上記低弾性率層の表面にピンを合わせて露光することにより、上記フォトレジスト膜からなるエッチング用マスクを形成することが好ましい。

【0028】この方法により、低弾性率層の表面にピンを合わせて露光すると低弾性率層の表面に微細な配線を形成することが可能となり、また低弾性率層の上の配

線よりも微細でなくてもよい低弾性率層の端部から半導体チップの表面の電極に至る部分の配線も同時に露光でき、工程を少なくできる。

【0029】請求項11に記載されているように、請求項7～10のうちいずれか1つの半導体装置の製造方法において、上記金属配線を形成した後に、上記低弾性率層の上に感光性ソルダーレジストを形成し、上記金属配線のうち外部の接続端子に接続される部分を露出させながら、上記金属配線を保護するソルダーレジストを形成する工程と、上記金属配線のうち上記ソルダーレジストから露出している部分の上に突起状電極を溶融接合する工程とをさらに備えることができる。

【0030】この方法により、ソルダーレジストによって金属配線が保護されるので、断線等のおそれがより少ない信頼性の高い金属配線を有する半導体装置が形成されることになる。

【0031】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0032】（第1の実施形態）まず、本発明の第1の実施形態について、図1～図3を参照しながら説明する。図1は、第1の実施形態における半導体装置をソルダーレジストの一部を開口して示す斜視図であり、図2と図3は低弾性率層の端部と半導体チップ上の電極との間の部分を拡大して示す部分斜視図である。

【0033】図1において、10はトランジスタ等の半導体素子によって構成される半導体集積回路を内部に有する半導体チップである。この半導体チップ10の主面の中央部には、半導体チップ10の電極（図示せず）に接続されるパッド30が配置されている。また、半導体チップ10の主面上において、パッド30が配置された中央部を除く領域に弾性率の小さい絶縁性材料からなる低弾性率層20が設けられている。この低弾性率層20は、パッド30が形成されている半導体チップ10の主面に至るくさび状の傾斜部を有している。低弾性率層20の上には、半導体チップ10内の半導体素子と外部機器との間で信号を入出力するための外部電極端子として機能するランド32が設けられており、このランド32とパッド30との間を接続する金属配線31が設けられている。上記パッド30と金属配線31とランド32とは同一の金属層からなり、併せて金属配線パターンを構成している。そして、ランド32の上には、突起状電極である金属ボール40が設けられている。また、半導体装置全体の上には、金属ボール40が形成されている領域を露出して、その他の領域を覆うソルダーレジスト50が形成されている。つまり、ソルダーレジスト50の開口部に露出するランド32に金属ボール40が接合された構造となっている。

【0034】なお、半導体チップ10の主面のうちパッド30以外の領域は、図示しないがパッシベーション膜

によって覆われている。

【0035】ここで、本実施形態に係る半導体装置の特徴は、金属配線31のうちの一部が広幅を有している点である。すなわち、この広幅の部分で半導体装置の加熱・冷却に伴って発生する熱応力等の応力に対する抵抗強度を高めるように構成されている。この広幅部の形状には、例えば以下のようなものがある。

【0036】まず、図2に示すように、低弾性率層20の上で傾斜部に近い部分に金属配線の広幅部31Bが形成されており、この金属配線31の広幅部31Bが狭幅部31Aから非連続的に広くなりその後傾斜部からパッド30に亘って均一な幅を有していてもよい。

【0037】また、図3に示すように、金属配線31の狭幅部31Cからテーパ状につまり連続的に広がる広幅部31Dを有し、この広幅部31Dがパッド30に連続している構造であってもよい。

【0038】本実施形態の半導体装置によると、半導体装置の側面上ではなく主面上に二次元的に外部電極端子となるランド32が設けられているので、狭い面積に多数の外部電極端子を設けることが可能となるとともに、パターン形成可能な金属配線30によりパッド30とランド30と接続することができる構造である。したがって、小型で薄型の半導体装置であり、かつ多ピン化に対応できる半導体装置である。

【0039】そして、微細配線が必要な部分つまり低弾性率層の上では狭幅部31A（又は31C）として通常の配線幅の配線ができ、強度が必要な端部は金属配線31の広幅部31B（又は31D）によって強度を向上することができるので、本半導体装置を基板実装した際には、熱応力等の応力による影響を低減できる構造となる。すなわち、半導体装置をプリント基板等の母基板の上に実装する際などにおいて、半導体装置の加熱・冷却に伴い金属配線30に熱応力が印加されても、金属配線30のうち特に大きな熱応力が加わる端部付近を広幅にしていることで、金属配線30に加わる引っ張り応力に対する抗力が増大する。よって、基板実装時などにおける金属配線30の断線を防止することができ、信頼性の高い配線構造を実現することができる。

【0040】また、金属配線30につながるランド32の上に外部電極となる金属ボール40が設けられているので、プリント基板等の母基板に半導体装置を搭載する工程が極めて簡易かつ迅速に行なうことができるが、その際にも、大きな熱容量を有する金属ボール40から発生する熱応力に抗することができる。

【0041】次に、本実施形態の配線構造について行なった信頼性試験の結果について説明する。

【0042】本実施形態の半導体装置と基本的に同じ構造であるが金属配線が全て狭幅（ $50\mu\text{m}$ ）である半導体装置を、はんだ（ $63\text{Sn}/37\text{Pb}$ ）でガラス・エポキシ基板（FR-4）に実装し、 -55°C （30分）

～ 150°C （30分）の熱サイクル試験を行った結果、広幅部を設けなかった場合の信頼性が600サイクルであり、オープン不良の原因は金属配線の端面での断線であった。

【0043】一方、図2に示すような広幅部31Bを有する金属配線を設けた本実施形態の半導体装置を、上述の条件と同じ条件で実装し、上述の条件と同じ条件で熱サイクル試験を行った結果、信頼性は1300サイクルまで向上した。ただし、金属配線31の狭幅部31Aの幅が $50\mu\text{m}$ 、広幅部31Bの幅が $75\mu\text{m}$ になるように形成している。

【0044】なお、図3に示すように、狭幅部31Cからテーパ状に拡大する広幅部31Dを有する金属配線31を設けた場合には、金属配線31のいずれの部位にも鋭角な角部が存在しないので、熱応力等の応力の集中を防ぐことができるようになる。

【0045】次に、本実施形態の半導体装置での製造方法について、図4（a）～（e）を参照しながら説明する。図4（a）～（e）は、図3に示す半導体装置の構造を実現するための製造工程を示す断面図である。

【0046】まず、図4（a）に示すように、半導体チップ10の主面にそれぞれ形成された半導体チップ10の電極11とパッシベーション膜12との上に、感光性を有する絶縁材料を塗布して乾燥することにより絶縁材料膜21を形成する。

【0047】次に、図4（b）に示すように、乾燥された絶縁材料膜21に対して露光と現像とを順次行って、半導体チップ10の電極11の部分が開口した低弾性率層20を形成する。この場合において、例えば露光で平行光ではなく散乱光を使用して、開口部における低弾性率層20の断面形状を、半導体チップ10の主面に対して垂直ではなくテーパ状にして形成する。絶縁材料としては、例えば低弾性率ポリイミド、エポキシ等のような低弾性率と絶縁性とを有するポリマーであればよい。

【0048】次に、図4（c）に示すように、半導体チップ10の主面において、真空蒸着法、スパッタリング法、CVD法又は無電解めっき法によって例えばTi/Cuからなる金属薄膜層を形成した後に、該金属薄膜層に対してパターニングを行う。このことによって、半導体チップ10の主面側に、パッド30と、広幅部を有する金属配線31と、ランド32とからなる所定の配線パターン33を形成する。配線パターン33は、パッド30の数、つまりピン数と半導体チップ10の面積とを考慮して決められている。

【0049】パターニングは、以下のようにして行う。金属薄膜層の上にフォトレジストを塗布し、低弾性率層20の表面にピントを合わせて露光し、露光によって所定のパターン部以外のフォトレジストを硬化させた後に、該パターン部のフォトレジストを除去する。このパターン部は、低弾性率層20の端部付近から電極11の

上に至る部分では広幅で、低弾性率層 20 の内方領域の上では微細な配線となる形状を有している。このように、低弾性率層 20 の表面にピントを合わせて露光することで、低弾性率層 20 の表面に微細な金属配線（狭幅部）を形成することが可能となり、また低弾性率層 20 の上の配線ほど微細でなくてもよい低弾性率層 20 の端部から半導体チップ 10 の表面の電極 11 に至る部分の金属配線（広幅部）も同時に露光でき、工程を少なくできる。

【0050】その後、電解めっきを使用して、このパターン部に例えば Cu からなる大きい膜厚を有する金属層を形成し、その後、フォトリソグラフィ技術を使用して所定のパターン部にエッチング液に浸漬して、金属薄膜層を溶かし、かつ大きい膜厚を有する金属層を残すことによって、所定の配線パターン 33 を形成する。

【0051】なお、全面に金属膜を堆積させ、その上にレジストを塗布し、フォトリソグラフィ技術を使用して所定のパターン部の上にエッチングマスク用レジストを形成し、このレジストをマスクとして金属層をエッチングすることにより、配線パターン 33 を形成してもよい。

【0052】次に、図 4 (d) に示すように、低弾性率層 20 の上に感光性ソルダーレジストを塗布した後に、フォトリソグラフィ技術を使用して、ランド 32 の部分のみが露出するようにしてソルダーレジスト 50 を形成する。該ソルダーレジスト 50 によって、配線パターン 33 のうちランド 32 以外の部分であるパッド 30 と金属配線 31 とが、溶融したはんだから保護される。

【0053】次に、図 4 (e) に示すように、はんだ、はんだめっきされた銅、ニッケル等からなる金属ボール 40 をランド 32 の上に載置して、金属ボール 40 とランド 32 とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0054】本実施形態の半導体装置の製造方法では、広幅部 31B 又は 31D を有する配線パターンを容易に形成することができる。

【0055】なお、本実施形態の説明においては、低弾性率層 20 を形成するために、感光性を有する絶縁材料 21 を塗布したが、これに限らず、予めフィルム状に形成された、感光性を有する絶縁材料を使用してもよい。この場合には、フィルム状の絶縁材料を半導体チップ 10 の上に貼り合わせた後に露光、現像して、半導体チップ 10 の電極 11 を露出させることができればよい。

【0056】さらに、感光性のない絶縁材料も使用できる。この場合には、レーザーやプラズマ等の機械的加工、又はエッチング等の化学的加工によって、半導体チップ 10 の電極 11 を露出させることができる。

【0057】なお、金属薄膜層として Ti/Cu を使用したが、これに代えて Cr、W、Cu、Ni 等を使用して

【0058】（第 2 の実施形態）次に、第 2 の実施形態について、図 5 及び図 6 を参照しながら説明する。図 5 は、第 2 の実施形態における半導体装置のソルダーレジストを全面的に開口して示す斜視図であり、図 6 は低弾性率層の端部と半導体チップ上の電極との間の部分を拡大して示す部分斜視図である。

【0059】図 5 に示すように、本実施形態に係る半導体装置においては、半導体チップ 10 の主面上における外周部に、半導体素子の電極（図示せず）に接続されるパッド 30 が配置されている。また、半導体チップ 10 の主面上には、上記パッド 30 が配置された外周部を除く領域に、弾性率の小さい絶縁性材料からなる低弾性率層 20 が設けられている。この低弾性率層 20 は、上記第 1 の実施形態とは異なり傾斜部を有しておらず、半導体チップ 10 の主面に対して段差をもつように形成されている。そして、低弾性率層 20 の上には、配線回路シート 35 が設けられている。この配線回路シート 35 は、柔軟性シートの上に銅箔をパターンニングして形成される配線パターン（図示せず）を有している。そして、本実施形態では、この配線回路シート 35 上の配線と、この配線から導出されてパッド 30 に接続される部分リードとにより金属配線 31 が構成されている。ここで、金属配線 31 は、配線回路シート 35 の上では配線幅が細くなっている。そして、図 5 に示すように、配線回路シート 35 の端部から金属配線 31 の部分リード部の狭幅部 31A が導出され、この狭幅部 31A とパッド 30 との間を接続するための広幅部 31B が設けられている。そして、金属配線 31 の端部の広幅部 31B と半導体チップ 10 上のパッド 30 とが熱圧着にて接続される構造となっている。

【0060】また、配線回路シート 35 上の金属配線 31 の端部には、半導体チップ 10 内の半導体素子と外部機器との間で信号を入出力するための外部電極端子として機能するランド 32 が設けられている。そして、ランド 32 の上には、突起状電極である金属ボール 40 が設けられている。

【0061】図 5 に示すように、本実施形態に係る半導体装置においては、半導体チップ 10 の主面上における外周部に、半導体素子の電極（図示せず）に接続されるパッド 30 が配置されている。また、半導体チップ 10 の主面上には、上記パッド 30 が配置された外周部を除く領域に、弾性率の小さい絶縁性材料からなる低弾性率層 20 が設けられている。この低弾性率層 20 は、上記第 1 の実施形態とは異なり傾斜部を有しておらず、半導体チップ 10 の主面に対して段差を形成するように形成されている。そして、低弾性率層 20 の上には、配線回路シート 35 が設けられている。この配線回路シート 35 は、金属配線 31 を有していて、配線回路シート 35 の内部では金属配線 31 の配線幅が細くなっている。そして、図 6 に示すように、配線回路シート 35 の端部か

*** 上に第 1 の金属膜を堆積した後、第 1 の金属膜の上に形成したエッチングマスクの開口部に第 2 の金属膜を形成し、エッチングマスクを除去した後に第 1 の金属膜の露出部分を除去することで、金属配線を形成するようにしたので、第 1 及び第 2 の金属膜からなる厚い金属配線を容易に形成することができ、応力の印加に対する断線の防止機能の高い金属配線を有する信頼性の高い半導体装置を形成することができる。**

【0062】また、配線回路シート35の金属配線の端部には、半導体チップ10内の半導体素子と外部機器との間で信号を入出力するための外部電極端子として機能するランド32が設けられている。そして、ランド32 10の上には、突起状電極である金属ボール40が設けられている。

【００６３】本実施形態の半導体装置においても、金属配線３１の端部に広幅部３１Ｂが形成されていることで、上記第１の実施形態と同様に、配線層の信頼性向上効果を発揮することができる。

【0064】具体的に、本実施形態の半導体装置と基本的に同じ構造を有しているが広幅部のない金属配線を有する半導体装置を、はんだ（63Sn／37Pb）にてガラス・エポキシ基板に接続し、 -55°C （30分）～ 150°C （30分）の熱サイクル試験を行った結果、信頼性が400サイクルであり、オープン不良の原因は金属配線の端面での断線であった。ただし、配線回路シートの内部の金属配線から端部、端面と半導体チップ上のパッドまでの金属配線の幅が一定の $50\mu\text{m}$ 幅である。

【0065】一方、本実施形態の広幅部のある金属配線を有する半導体装置について、上記と同じ条件で熱サイクル試験を行なった結果、信頼性は900サイクルまで向上した。ただし、金属配線31の狭幅部31Aの幅を50 μ m幅とし、広幅部31Bの幅を75 μ mとしている。

【0066】

【発明の効果】請求項 1 ～ 7 によれば、半導体装置の表面上の電極と外部電極端子との間を接続する金属配線のうち低弾性率層の端部付近に広幅部を設けたので、半導体装置の加熱・冷却などによって加わる熱応力等の応力に抗する強度を向上させることにより、金属配線の断線を防止することができ、よって、信頼性の高い半導体装置の提供を図ることができる。

【0067】請求項8～11によれば、半導体装置の製造方法として、半導体チップ及びその上の低弾性率層の*

【図１】第１の実施形態における半導体装置の構造をソルダーレジストを部分的に開口して示す斜視図である。

【図２】第１の実施形態における狭幅部から非連続的に拡大する広幅部を有する金属配線を備えた半導体装置の低弾性率層の端部と半導体チップの電極との間の部分を拡大して示す部分斜視図である。

【図３】第１の実施形態における狭幅部から連続的に拡大する広幅部を有する金属配線を備えた半導体装置の低弾性率層の端部と半導体チップの電極との間の部分を拡大して示す部分斜視図である。

【図４】第１の実施形態における半導体装置の製造工程を示す断面図である。

【図5】第2の実施形態における配線回路シートを備えた半導体装置の構造をソルダーレジストを全体的に開口して示す斜視図である。

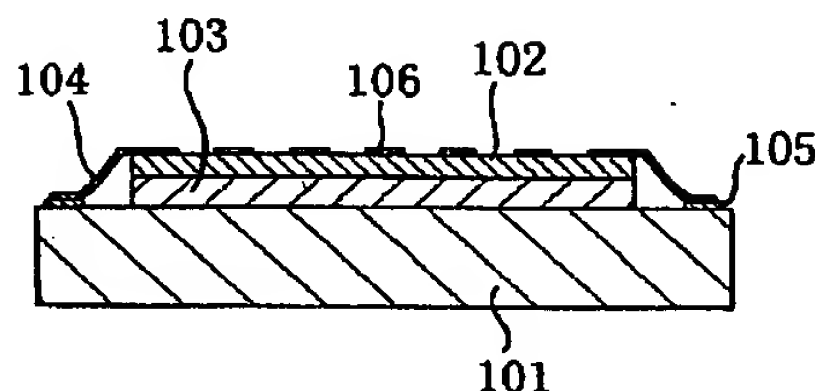
【図6】第2の実施形態における半導体装置の低弾性率層の端部と半導体チップの電極との間の領域を拡大して示す部分斜視図である。

【図 7】従来の低弾性率層を備えた半導体装置の断面図である。

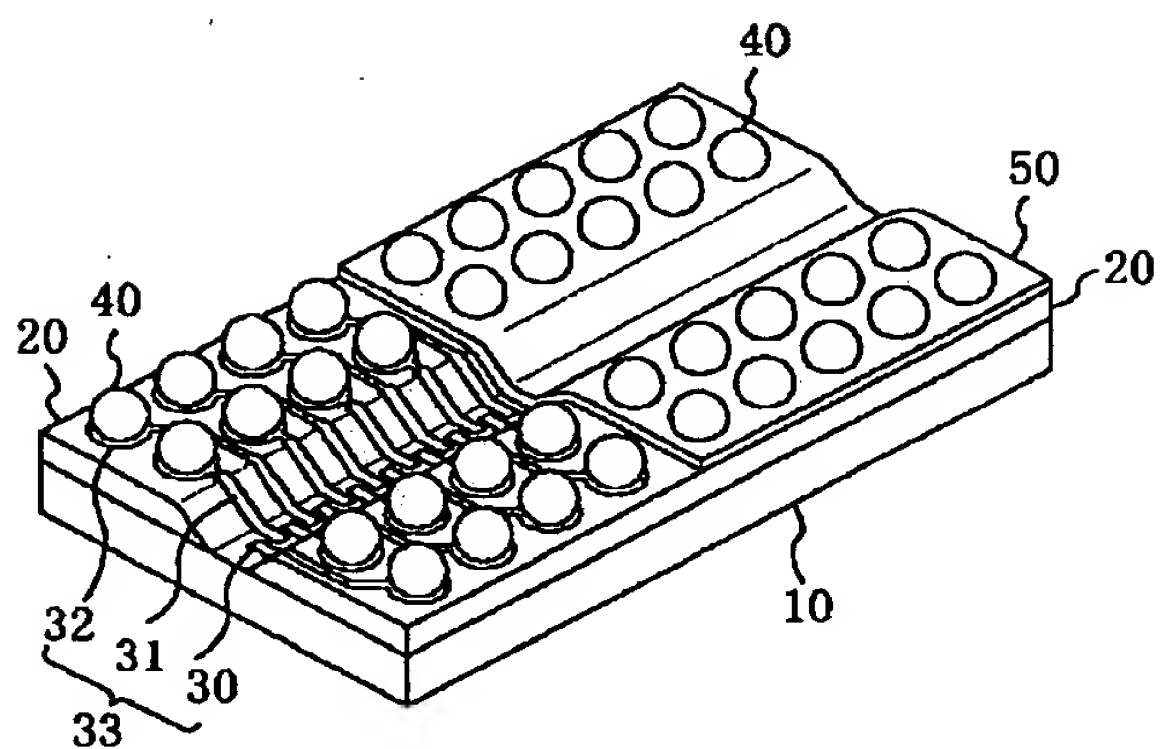
【符号の説明】

- | | |
|--------------|----------|
| 1 0 | 半導体チップ |
| 1 1 | 電極 |
| 2 0 | 低弾性率層 |
| 3 0 | パッド |
| 3 1 | 配線 |
| 3 1 A, 3 1 C | 狭幅部 |
| 3 1 B, 3 1 D | 広幅部 |
| 3 2 | ランド |
| 3 5 | 配線回路シート |
| 4 0 | 金属ボール |
| 5 0 | ソルダーレジスト |

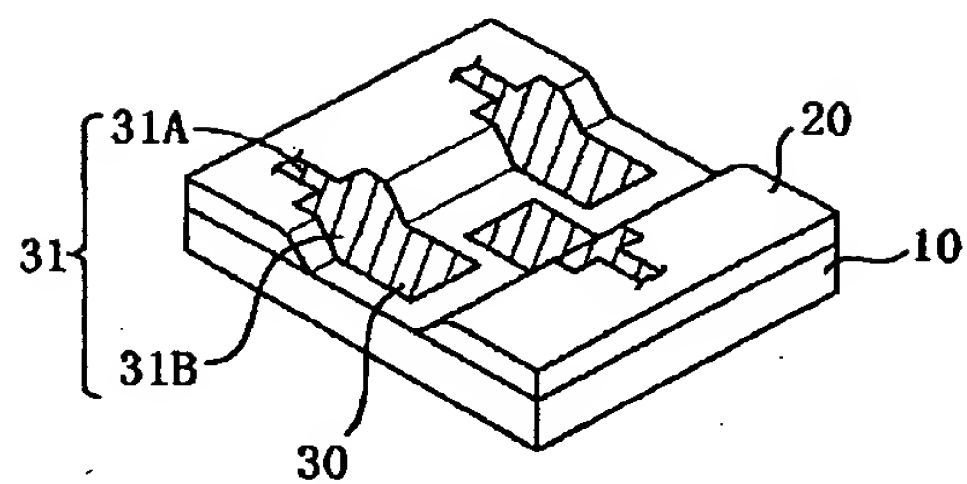
【図 7】



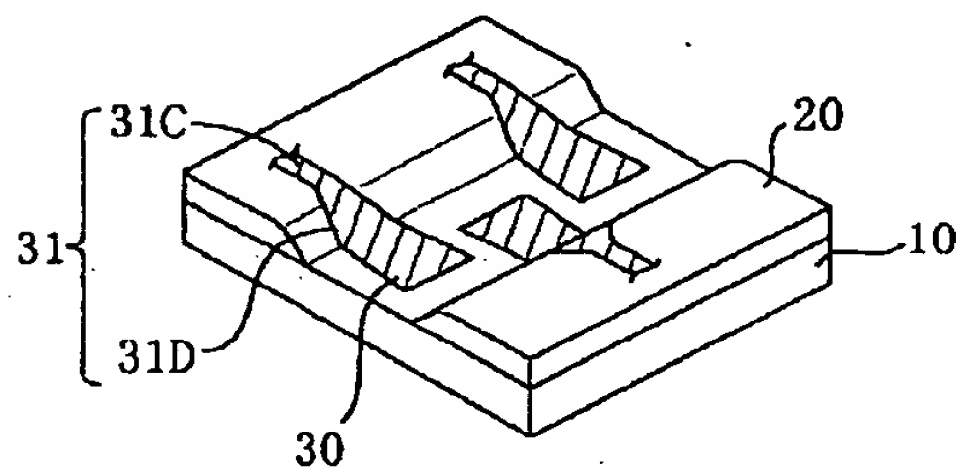
【図1】



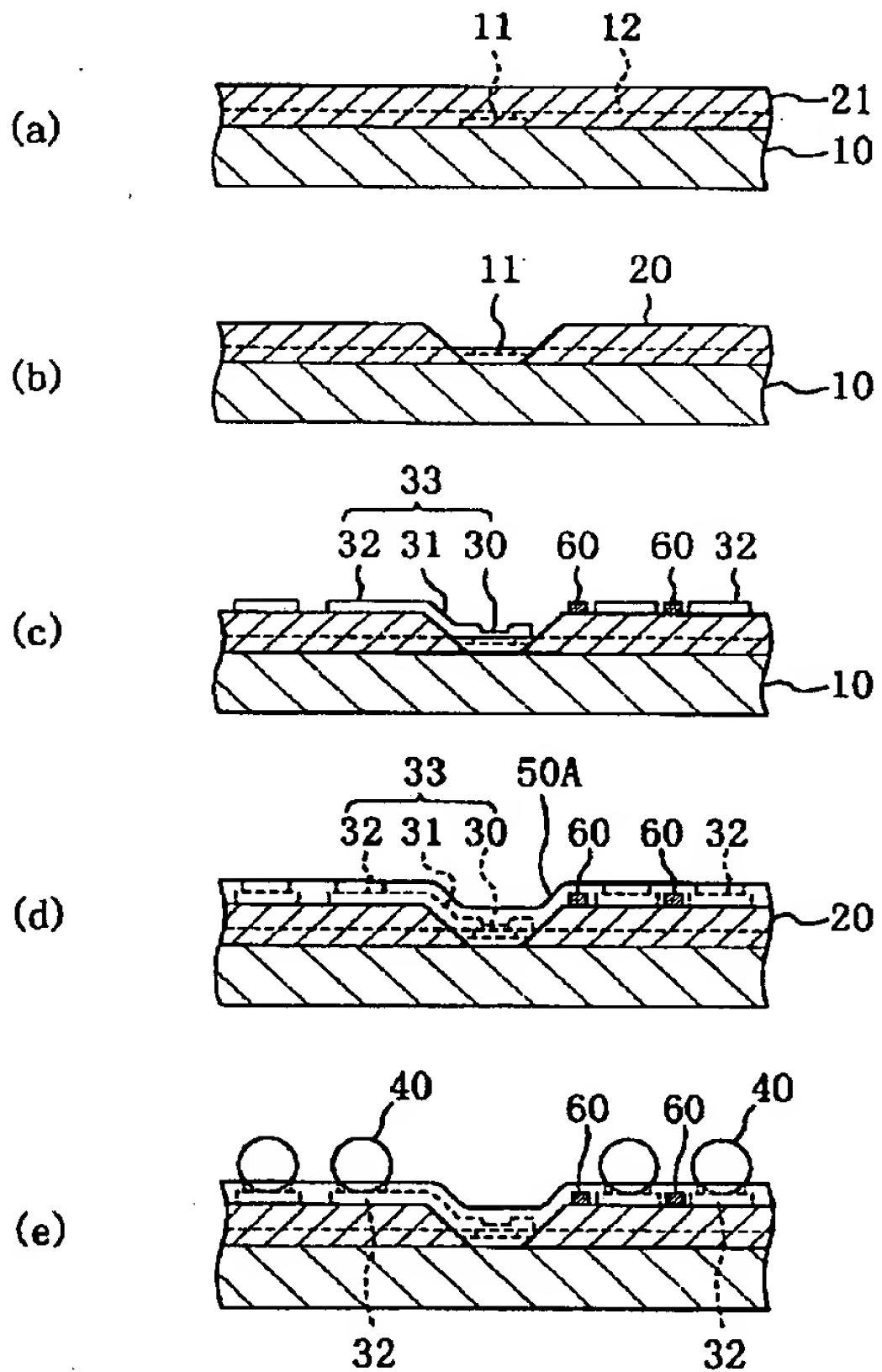
【図2】



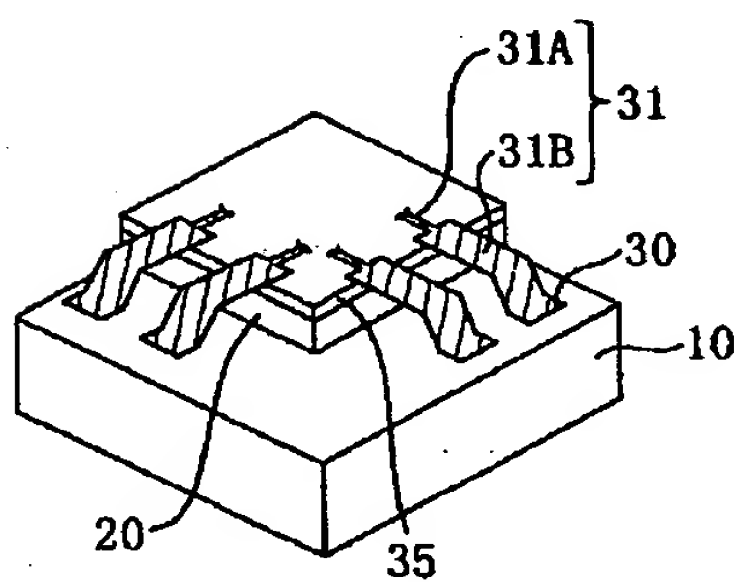
【図3】



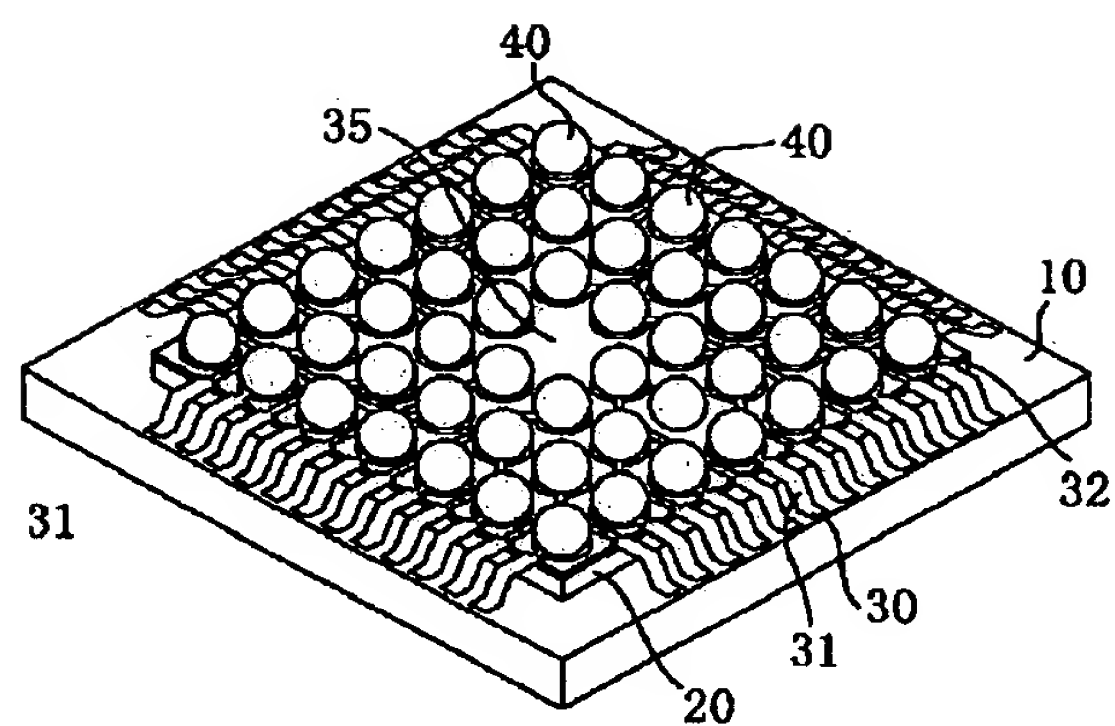
【図4】



【図6】



【図 5】



フロントページの続き

(72)発明者 隈川 隆博
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内



Home



List

☐ Include

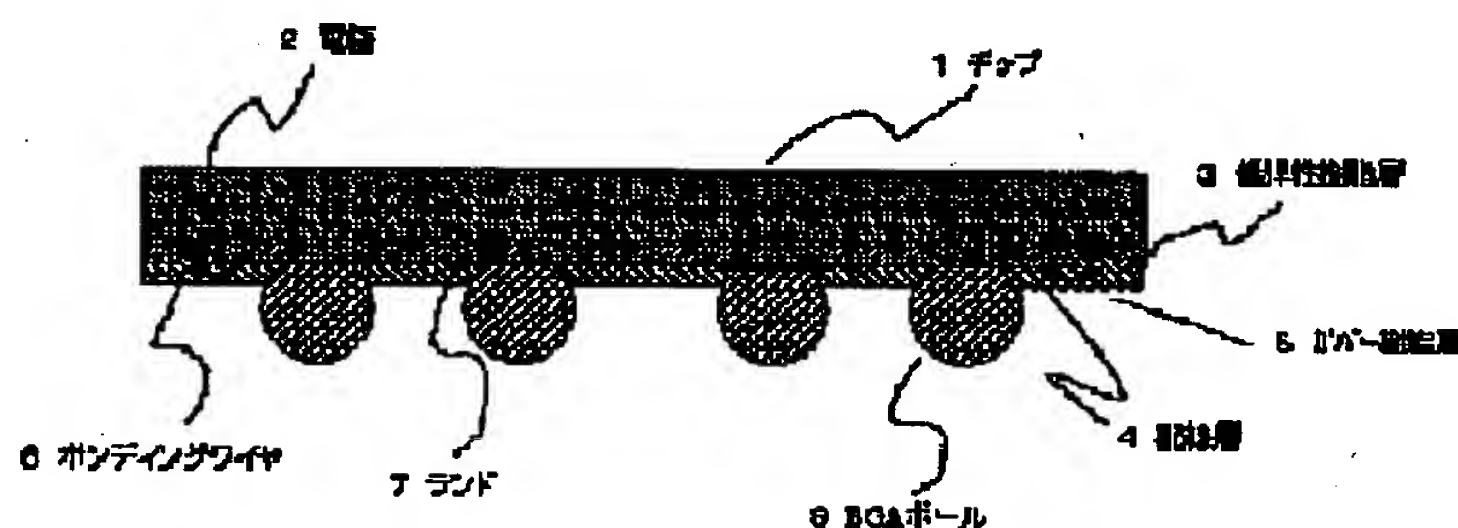
2

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1990-2002

Text: Patent/Publication No.: JP2000164761

[Order This Patent](#)[Family Lookup](#)[Find Similar](#)[Legal Status](#)[Go to first matching text](#)

JP2000164761 A

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

NEC CORP

Inventor(s):TAGO MASAKI

Application No. 10375353 JP10375353 JP, Filed 19981127,A1 Published 20000616Published 20000616

Abstract: PROBLEM TO BE SOLVED: To provide a semiconductor device, which is capable of relaxing the stress that concentrates on a joint between a chip and a wiring layer and on another joint between a package and a mounting board and improving the package in mounting reliability, and a manufacturing method thereof.

SOLUTION: A low-elasticity resin layer 3 is provided at a joint between a chip 1 and a wiring layer 4 connected to an outer connection terminal, and the wiring layer 4 formed on the low-elasticity resin layer 3 and an electrode 2 formed on the chip 1 are connected together with a bonding wire 6, so as to relax stresses from concentrating at joints.

Int'l Class: H01L02312; H01L02160

Patents Citing This One (1):

→ US6437434B1 20020820 Kabushiki Kaisha Toshiba
Semiconductor device and semiconductor device mounting
interconnection board

MicroPatent Reference Number: 000164528

COPYRIGHT: (C) 2000JPO



Home



List

For further information, please contact:
Technical Support | Billing | Sales | General Information